

APÉNDICE 10

PROPUESTA DE EQUIVALENCIAS ENTRE EL INGLÉS Y EL ESPAÑOL

Autores

Enrique Mandado Pérez

Catedrático Jubilado de Tecnología Electrónica
Miembro del Instituto de Electrónica Aplicada de la
Universidad de Vigo
Profesor del Máster de Sistemas Electrónicos Avanzados
de la Escuela Técnica Superior de Ingeniería
de la Universidad del País Vasco

José Luis Martín González

Catedrático de Tecnología Electrónica
de la Escuela Técnica Superior de Ingeniería
de la Universidad del País Vasco

Jaime Jiménez Verde

Profesor Agregado de Tecnología Electrónica
de la Escuela Técnica Superior de Ingeniería
de la Universidad del País Vasco

A

<i>A Hardware Programming Language (AHPL)</i>	Lenguaje de programación del sistema físico
<i>Absolute position encoder</i>	Codificador absoluto de posición
<i>Access time</i>	Tiempo de acceso
<i>Accumulator</i>	Acumulador
<i>Acknowledge</i>	Acuse de recibo
<i>Active load</i>	Carga activa
<i>Active pull-up output</i>	Salida con carga activa
<i>Adder</i>	Sumador
<i>Addition</i>	Suma
<i>Address</i>	Dirección
<i>Address arbitration</i>	Arbitraje de direcciones
<i>Address bus</i>	Bus de direcciones
<i>Address Change Detector</i>	Detector de cambio de dirección
<i>Address decoding</i>	Decodificación de direcciones

<i>Address variables</i>	VARIABLES DE DIRECCIÓN
<i>Addressing</i>	DIRECCIONAMIENTO O DIRECCIONAR
<i>Advanced Low Power Schottky TTL (ALSTTL)</i>	TECNOLOGÍA TTL SCHOTTKY MEJORADA DE BAJA POTENCIA
<i>Advanced Schottky TTL (ASTTL)</i>	TECNOLOGÍA TTL SCHOTTKY MEJORADA
<i>Aiken BCD code</i>	CÓDIGO BCD AIKEN
<i>Algorithm</i>	ALGORITMO
<i>Algorithmic Behavioural modeling</i>	MODELADO ALGORÍTMICO DE COMPORTAMIENTO
<i>Algorithmic State Machine (ASM)</i>	MÁQUINA ALGORÍTMICA DE ESTADOS
<i>Aliasing</i>	DISTORSIÓN DE MUESTREO
<i>Allocate</i>	ASIGNAR O UBICAR
<i>Alphanumeric code</i>	CÓDIGO ALFANUMÉRICO
<i>Alternating Current (AC)</i>	CORRIENTE ALTERNA
<i>American National Standards Institute (ANSI)</i>	INSTITUTO DE NORMALIZACIÓN NACIONAL AMERICANO
<i>American Standard Code for Information Interchange (ASCII)</i>	CÓDIGO ASCII
<i>Amplitude Modulation (AM)</i>	MODULACIÓN DE AMPLITUD
<i>Amplitude Shift Keying (ASK)</i>	MODULACIÓN DIGITAL DE AMPLITUD
<i>Analog circuit</i>	CIRCUITO ANALÓGICO
<i>Analog signal</i>	SEÑAL ANALÓGICA
<i>Analog to Digital Converter (ADC)</i>	CONVERTIDOR ANALÓGICO-DIGITAL
<i>And function</i>	FUNCIÓN Y
<i>And gate</i>	PUERTA Y
<i>AND-OR-Invert (AOI)</i>	FUNCIÓN Y-O-INVERSIÓN
<i>Anode</i>	ÁNODO
<i>ANSI/IEEE Standard 1149.1</i>	NORMA ANSI/IEEE 1149.1
<i>Antifuse</i>	ANTIFUSIBLE
<i>Application note</i>	NOTA DE APLICACIÓN
<i>Application Programming Interface (API)</i>	INTERFAZ DE PROGRAMACIÓN DE UNA APLICACIÓN
<i>Application Specific Integrated Circuit (ASIC)</i>	CIRCUITO INTEGRADO DE APLICACIÓN ESPECÍFICA
<i>Application Specific Standard Integrated Circuit (Standard ASIC)</i>	CIRCUITO INTEGRADO NORMALIZADO DE APLICACIÓN ESPECÍFICA

<i>Application-Specific Standard Product (ASSP)</i>	Producto normalizado de aplicación específica
<i>Architecture</i>	Arquitectura (<i>VHDL</i>)
<i>Arithmetic instruction</i>	Instrucción aritmética
<i>Arithmetic Logic Unit (ALU)</i>	Unidad aritmético-lógica
<i>Arithmetic operation</i>	Operación aritmética
<i>Arithmetic shifter</i>	Desplazador combinacional
<i>Array</i>	Matriz (<i>VHDL</i>)
<i>Array multiplier</i>	Multiplicador matricial
<i>Assembler</i>	Lenguaje ensamblador
<i>Assignment</i>	Asignación
<i>Associative memory</i>	Memoria asociativa
<i>Astable</i>	Aestable
<i>Asynchronous</i>	Asíncrono
<i>Asynchronous cell</i>	Celda asíncrona
<i>Asynchronous circuit</i>	Circuito asíncrono
<i>Asynchronous counter</i>	Contador asíncrono
<i>Asynchronous input</i>	Entrada asíncrona
<i>Asynchronous parallel data inputs</i>	Entradas asíncronas de datos en paralelo
<i>Asynchronous sequential system</i>	Sistema secuencial asíncrono
<i>Asynchronous sequential system using R-S latches</i>	Sistema secuencial asíncrono implementado con biestables <i>R-S</i>
<i>Asynchronous serial communication</i>	Comunicación serie asíncrona
<i>Asynchronous Static RAM (ASRAM)</i>	Memoria de acceso aleatorio activa estática asíncrona (<i>ASRAM</i>)
<i>Attribute</i>	Atributo (<i>VHDL</i>)
<i>Automatic Test Equipment (ATE)</i>	Equipo de verificación automática
<i>Automatic Test Pattern Generator (ATPG)</i>	Generador automático de vectores de verificación o test

B

<i>Back plane</i>	Panel posterior
<i>Backspace</i>	Retroceso
<i>Ball Grid Array (BGA)</i>	Encapsulado de matriz de bolas
<i>Band pass</i>	Pasobanda

<i>Band reject</i>	Rechazo de banda
<i>Bandwidth</i>	Ancho de banda
<i>Barrel shifter</i>	Desplazador circular
<i>Basic cell</i>	Celda básica
<i>Basic Input/Output System (BIOS)</i>	Sistema básico de entrada/salida
<i>Baud</i>	Baudio
<i>BCD adder</i>	Sumador en BCD
<i>Bed of nails</i>	Cama de clavos
<i>Behavioural description of hardware</i>	Descripción del comportamiento del sistema físico
<i>Behavioural modeling</i>	Descripción funcional o de comportamiento
<i>Bell</i>	Tímbr
<i>BiCMOS</i>	Tecnología bipolar-CMOS
<i>Bidirectional pin</i>	Patilla, terminal o borne bidireccional
<i>Bidirectional port</i>	Puerto bidireccional
<i>Bidirectional shift register</i>	Registro de desplazamiento bidireccional o reversible
<i>Binary addition</i>	Suma binaria
<i>Binary arithmetic</i>	Aritmética binaria
<i>Binary Coded Decimal (BCD) code</i>	Código decimal codificado en BCD natural o BCD
<i>Binary counter</i>	Contador binario
<i>Binary digit</i>	Dígito binario
<i>Binary divider</i>	Divisor binario
<i>Binary Decision Diagram (BDD)</i>	Diagrama de decisiones binarias
<i>Binary encoding</i>	Codificación binaria
<i>Binary logic</i>	Lógica binaria
<i>Binary multiplier</i>	Multiplicador binario
<i>Binary number</i>	Número binario
<i>Binary operator</i>	Operador binario
<i>Binary offset</i>	Binario natural desplazado
<i>Bipolar CMOS(BiCMOS)</i>	Tecnología bipolar y CMOS
<i>Bipolar Junction Transistor (BJT)</i>	Transistor bipolar
<i>Bipolar transistor</i>	Transistor bipolar
<i>Bit</i>	Bit
<i>Bit Error Rate (BER)</i>	Tasa de bits erróneos

<i>Bit line (BL)</i>	Línea de bits
<i>Bit slice</i>	Expansible
<i>Bit slice processor</i>	Procesador expansible
<i>Bit width</i>	Número de bits
<i>Blanking Input (BI)</i>	Entrada de blanqueo
<i>Block</i>	Bloque (<i>VHDL</i>)
<i>Block Check Character (BCC)</i>	Carácter de verificación de bloque
<i>Block Under Test (BUT)</i>	Bloque en verificación o test
<i>Bond pad</i>	Zona de conexión
<i>Bonding wire</i>	Hilo de conexión
<i>Boolean addition</i>	Suma lógica
<i>Boolean algebra</i>	Álgebra de Boole o Álgebra lógica
<i>Boolean function</i>	Función lógica
<i>Boolean minimization</i>	Minimización lógica
<i>Boolean multiplication</i>	Producto lógico
<i>Borrow</i>	Acarreo de la resta
<i>Bottom-up</i>	Ascendente
<i>Bottom-up design</i>	Diseño ascendente
<i>Bounce</i>	Rebote
<i>Bouncing</i>	Rebotar
<i>Boundary Scan (BS)</i>	Exploración periférica
<i>Boundary Scan Cell</i>	Celda de exploración periférica
<i>Boundary Scan Description Language (BSDL)</i>	Lenguaje de descripción de la exploración periférica
<i>Boundary Scan Standard (BSS)</i>	Norma de exploración periférica
<i>Boundary Scan Technique (BSC)</i>	Técnica de exploración periférica
<i>Branch</i>	Bifurcación o salto condicional
<i>Breadboard</i>	Placa de orificios
<i>Brushless DC Motor Controller</i>	Controlador de un motor de corriente continua de imán permanente
<i>Buffer</i>	Acepción 1: Seguidor Acepción 2: No inversor Acepción 3: Memoria temporal Acepción 4: Memoria intermedia Acepción 5: Amplificador
<i>Buffer Latch</i>	Registro controlado por niveles

<i>Built In Logic Block Observer (BILBO)</i>	Observador interno de bloques lógicos
<i>Built-In Self-Test (BIST)</i>	Autotest interno
<i>Bulldozer core</i>	Núcleo excavado
<i>Buried system</i>	Sistema empotrado
<i>Burst errors</i>	Errores en ráfaga
<i>Burst Extended Data Output Dynamic RAM (BEDO DRAM)</i>	Memoria activa dinámica con salida de datos ampliada en ráfaga (BEDO DRAM)
<i>Bus</i>	Bus o barra
<i>Bus arbitration</i>	Arbitraje de bus
<i>Bus driver</i>	Controlador de bus
<i>Busy</i>	Ocupado
<i>Bypass</i>	Puentear
<i>Bypass memory</i>	Memoria puente
<i>Bypass register</i>	Registro puente
<i>Byte</i>	Octeto

C

<i>Cache</i>	Oculto
<i>Cache memory</i>	Memoria oculta
<i>Cached Dynamic Random Access Memory (CDRAM)</i>	Memoria oculta de acceso aleatorio dinámica
<i>CAD tool</i>	Herramienta informática de diseño
<i>Cancel</i>	Cancelar
<i>Canonical form</i>	Expresión canónica
<i>Canonical product</i>	Producto canónico
<i>Canonical product of sums</i>	Producto de sumas canónicas
<i>Canonical sum</i>	Suma canónica
<i>Canonical sum of products</i>	Suma de productos canónicos
<i>Capture buffer</i>	Memoria temporal de captura
<i>Card Capacitor Read Only Storage (CCROS)</i>	Memoria pasiva de condensador
<i>Carriage return</i>	Retorno de carro
<i>Carry</i>	Acarreo
<i>Carry bit</i>	Bit de acarreo

<i>Carry chain</i>	Cadena de acarreo
<i>Carry Generator (CG)</i>	Generador de acarreo
<i>Carry lookahead</i>	Acarreo anticipado
<i>Carry lookahead adder</i>	Sumador binario con generación anticipada de acarreo
<i>Carry lookahead output</i>	Salida de propagación anticipada del acarreo.
<i>Carry Propagator (CP)</i>	Propagador de acarreo
<i>Carry Propagator Generator (CPG)</i>	Generador-propagador de acarreo
<i>Cascaded counters</i>	Contadores en cascada
<i>Case statement</i>	Sentencia de casos
<i>Cathode</i>	Cátodo
<i>CD ROM</i>	Disco compacto
<i>Cell</i>	Celda
<i>Cell library</i>	Biblioteca de celdas
<i>Cellular Automata (CA)</i>	Autómata celular
<i>Cellular Automata Register (CAR)</i>	Registro de un autómata celular
<i>Central Processing Unit (CPU)</i>	Unidad Central de Proceso (UCP)
<i>CERamic Dual In line Package (CERDIP)</i>	Encapsulado cerámico de doble línea
<i>Ceramic Quad Flat Package (CQFP)</i>	Encapsulado cerámico cuadrangular plano
<i>Channel</i>	Canal
<i>Character code</i>	Código alfanumérico
<i>Characteristic impedance</i>	Impedancia característica
<i>Charge Coupled Device (CCD)</i>	Dispositivo de acoplamiento por cargas
<i>Chart</i>	Diagrama
<i>Check</i>	Comprobar
<i>Checking</i>	Comprobación
<i>Checkpoint</i>	Punto de prueba
<i>Checksum</i>	Suma de verificación
<i>Checksum code</i>	Código de detección de errores mediante suma
<i>Chip</i>	Circuito integrado monolítico sin encapsular o dado de silicio
<i>Chip Enable (CE)</i>	Inhibición del circuito
<i>Chip level multiprocessing (CMP)</i>	Multiprocesador integrado

<i>Chip level multiprocessor (CMP)</i>	Multiprocesador integrado
<i>Chip on board</i>	Circuito integrado montado sin encapsular
<i>Chip Select (CS)</i>	Inhibición del circuito
<i>Circuit Under Test (CUT)</i>	Circuito en verificación o en test
<i>Circular buffer</i>	Memoria temporal circular
<i>Circular memory</i>	Memoria circular
<i>Circular Self-Test Path (CSTP)</i>	Camino de autoverificación circular
<i>CISC architecture</i>	Arquitectura CISC
<i>CISC computer</i>	Computador CISC
<i>Clear (CLR)</i>	Borrar o poner a cero
<i>Clock</i>	Reloj o generador de impulsos
<i>Clock Enable (CE)</i>	Inhibición del reloj
<i>Clock gating</i>	Cortar o anular el reloj
<i>Clock input</i>	Entrada de impulsos o de reloj
<i>Clocking event</i>	Flanco activo del reloj
<i>Coarse grain FPGA</i>	FPGA de grano grueso
<i>Code</i>	Código
<i>Code converting</i>	Conversión de código
<i>Coincidence function</i>	Función equivalencia
<i>Column Address Strobe (CAS)</i>	Muestreo de la dirección de las columnas.
<i>Combinational logic circuit</i>	Circuito digital combinacional
<i>Combinational multiplier</i>	Multiplicador combinacional
<i>Combinational shifter</i>	Desplazador combinacional
<i>Combinatorial</i>	Combinacional
<i>Command</i>	Orden
<i>Communication controller</i>	Procesador de comunicaciones
<i>Communication network</i>	Red de comunicaciones
<i>Communication port</i>	Puerto de comunicaciones
<i>Communication processor</i>	Procesador de comunicaciones
<i>CMOS logic</i>	Tecnología CMOS
<i>Companding</i>	Comprimir y expandir (Comexdir)
<i>Comparator</i>	Comparador
<i>Complementary MOS (CMOS)</i>	<i>MOS complementario (CMOS)</i>

<i>Complementary output</i>	Salida invertida
<i>Complete Feedback Shift Register (CFSR)</i>	Registro de desplazamiento con realimentación total
<i>Complex Instruction Set Computer (CISC)</i>	Computador de juego de instrucciones complejo
<i>Complex Programmable Logic Device (CPLD)</i>	Dispositivo lógico programable complejo
<i>Composable lightweight processor (CLP)</i>	Procesador ligero acoplable
<i>Compound semiconductor</i>	Semiconductor compuesto
<i>Computer</i>	Computador
<i>Computer Aided Design (CAD)</i>	Diseño asistido por computador
<i>Computer Aided Engineering (CAE)</i>	Ingeniería asistida por computador
<i>Computer Aided Manufacturing (CAM)</i>	Fabricación asistida por computador
<i>Computer Description Language (CDL)</i>	Lenguaje de descripción de un computador
<i>Computer Integrated Manufacturing (CIM)</i>	Fabricación integrada por computador
<i>Concurrent Built-In Logic Block Observer (CBILBO)</i>	Bloque lógico observador interno concurrente
<i>Concurrent Error Detection (CED)</i>	Detección concurrente de errores
<i>Concurrent Fault Detection Circuit (CFDC)</i>	Circuito de detección concurrente de fallos
<i>Concurrent processes</i>	Acepción 1: Procesos simultáneos
<i>Concurrent statements</i>	Sentencias simultáneas
<i>Conditional assignment statement</i>	Sentencia de asignación condicional
<i>Conditional branch</i>	Bifurcación condicional
<i>Conditional jump</i>	Salto condicional
<i>Configurability</i>	Configurabilidad
<i>Configurable Logic Block (CLB)</i>	Bloque lógico configurable
<i>Configuration</i>	Configuración
<i>Configuration command</i>	Orden de configuración
<i>Configuration data</i>	Datos de configuración
<i>Configuration file</i>	Archivo de configuración

<i>Configuration Interconnect Point (CIP)</i>	Punto de interconexión de configuración
<i>Conjunctive normal form</i>	Producto de sumas canónicas
<i>Constant</i>	Constante (VHDL)
<i>Constraint</i>	Restricción
<i>Content Addressable Memory (CAM)</i>	Memoria asociativa
<i>Continuous code</i>	Código continuo
<i>Control Area Network (CAN)</i>	Red de control CAN
<i>Control fault</i>	Fallo de control
<i>Control Flow Graph (CFG)</i>	Diagrama de flujo de control
<i>Control register</i>	Registro de control
<i>Control signal gating</i>	Señal de control por puerta
<i>Control store</i>	Memoria de control
<i>Control Unit (CU)</i>	Unidad de control
<i>Control voltage input</i>	Entrada de tensión de control
<i>Controllability</i>	Controlabilidad (Capacidad de control)
<i>Controllability and observability program (COP)</i>	Programa para controlabilidad y observabilidad
<i>Controller</i>	Controlador
<i>Controlling signal</i>	Señal de control
<i>Coordinate Rotation Digital Computer (CORDIC)</i>	Computador digital de rotación coordinada
<i>Core</i>	Núcleo
<i>Core Configuration Block (CCB)</i>	Bloque de configuración del núcleo
<i>Core microprocessor</i>	Núcleo de microprocesador
<i>Core module</i>	Módulo nuclear
<i>Core software</i>	Núcleo de programa
<i>Correction of errors</i>	Corrección de errores
<i>Count</i>	Contar
<i>Count Enable input (CE)</i>	Entrada de inhibición del conteo
<i>Counter (CTR)</i>	Contador
<i>Counting</i>	Conteo
<i>Critical path</i>	Camino crítico
<i>Critical race</i>	Transición crítica
<i>Cross-coupled NOR latch</i>	Biestable R-S asíncrono implementado con puertas

<i>Crosstalk</i>	<i>NOR</i>
<i>Current hogging</i>	Diafonía
<i>Current-Mode Logic (CML)</i>	Acaparamiento de corriente
<i>Current state</i>	Tecnología de acoplamiento por emisor (<i>ECL</i>)
<i>Custom design</i>	Estado actual
<i>Custom Integrated Circuit</i>	Diseño a medida
<i>Cycle stealing DMA</i>	Circuito integrado a medida
<i>Cycle time</i>	Acceso directo a memoria con robo de ciclos
<i>Cycles per instruction (CPI)</i>	Tiempo de ciclo
<i>Cyclic Redundancy Check (CRC)</i>	Ciclos por instrucción
<i>Cyclic sequential circuit</i>	Comprobación mediante redundancia cíclica (<i>CRC</i>)
	Circuito secuencial cíclico

D

<i>D flip-flop (DFF)</i>	Biestable D sincronizado por flancos
<i>D latch</i>	Biestable D sincronizado por niveles
<i>Data Acquisition System (DAS)</i>	Sistema de adquisición de datos
<i>Data bus</i>	Bus de datos
<i>Data Communication Equipment (DCE)</i>	Equipo de comunicación de datos
<i>Data Flow Graph (DFG)</i>	Diagrama de flujo de datos
<i>Data generator</i>	Generador de datos
<i>Data Level parallelism (DLP)</i>	Paralelismo a nivel de datos
<i>Data Link Escape (DLE)</i>	Escape o abandono del enlace de datos
<i>Data memory unit</i>	Unidad de memoria de datos
<i>Data path</i>	Unidad operativa
<i>Data path register file</i>	Conjunto de registros de la unidad operativa
<i>Data path unit</i>	Unidad operativa
<i>Data rate</i>	Tasa de datos
<i>Data selector</i>	Multiplexor o selector de datos
<i>Data setup time</i>	Tiempo de establecimiento
<i>Data sheets</i>	Hojas de características
<i>Data Terminal Equipment (DTE)</i>	Equipo terminal de datos
<i>Data types</i>	Tipos de datos

<i>Dataflow behavioural modeling</i>	Modelado de comportamiento mediante el flujo de datos
<i>Dataflow description of hardware</i>	Descripción de un sistema digital mediante el flujo de datos (<i>VHDL</i>)
<i>Dataflow modeling</i>	Modelado mediante el flujo de datos
<i>Debugger</i>	Depurador o eliminador de errores
<i>Decade counter</i>	Contador en BCD natural
<i>Decimal adjust</i>	Ajuste decimal
<i>Decimal decoder</i>	Decodificador decimal
<i>Declaration</i>	Especificación
<i>Decoder</i>	Decodificador
<i>Decoder/demultiplexer</i>	Decodificador/demultiplexor
<i>Decoder driver</i>	Decodificador excitador
<i>Dedicated arithmetic unit (DAU)</i>	Unidad aritmética dedicada
<i>Dedicated memory (DM)</i>	Memoria dedicada
<i>Defect</i>	Defecto
<i>Defect Oriented Test (DOT)</i>	Verificación o test orientado a l defecto
<i>Delay</i>	Retardo o retraso
<i>Delay Locked Loop (DLL)</i>	Bucle de retardo enclavado o enganchado
<i>Delete</i>	Eliminación
<i>Delta modulation</i>	Modulación delta
<i>Demultiplexer (DMUX)</i>	Demultiplexor
<i>Dense encoding</i>	Codificación mínima
<i>Dependability</i>	Confiabilidad
<i>Depletion</i>	Empobrecido o poco impurificado
<i>Depletion MESFET</i>	Transistor <i>MESFET</i> empobrecido
<i>Depletion MOS transistor</i>	Transistor MOS empobrecido o poco impurificado
<i>Design Automation (DA)</i>	Automatización del diseño
<i>Design entry</i>	Descripción del sistema
<i>Design For Testability (DFT)</i>	Diseño orientado a la verificabilidad
<i>Design process</i>	Proceso de diseño
<i>Design requirement</i>	Requisito de diseño
<i>Design rules</i>	Reglas de diseño
<i>Design specification</i>	Especificación de diseño

<i>Destination register</i>	Registro destino
<i>Destructive readout</i>	Lectura destructiva
<i>Detection of errors</i>	Detección de errores
<i>Development board</i>	Placa de desarrollo
<i>Development software</i>	Programa de diseño
<i>Development tool</i>	Herramienta de diseño
<i>Device control</i>	Control de dispositivo
<i>Device Under Test (DUT)</i>	Dispositivo bajo verificación o test
<i>Diagnosis</i>	Diagnóstico
<i>Die</i>	Circuito integrado desencapsulado
<i>Difference function</i>	Función O-exclusiva
<i>Digital Clock Manager (DCM)</i>	Gestor del reloj
<i>Digital Delay Locked Loop (DLL)</i>	Bucle digital de retardo enclavado o enganchado
<i>Digital Description Language (DDL)</i>	Lenguaje de descripción digital
<i>Digital MultiMeter (DMM)</i>	Multímetro digital
<i>Digital nanoelectronics</i>	Nanoelectrónica digital
<i>Digital sampling oscilloscope (DSO)</i>	Osciloscopio digital de muestreo
<i>Digital Signal Processor(DSP)</i>	Procesador digital de señales
<i>Digital signal processing block (DSPB)</i>	Bloque de procesado digital de señales
<i>Digital Storage Oscilloscope (DSO)</i>	Osciloscopio digital
<i>Digital to Analog Converter (DAC)</i>	Convertidor digital-analógico
<i>Digital waveform</i>	Señal digital
<i>Diode</i>	Diodo
<i>Diode Transistor Logic (DTL)</i>	Tecnología transistor- diodo o <i>DTL</i>
<i>Direct access memory</i>	Memoria de acceso directo
<i>Direct Coupled FET logic (DCFL)</i>	Tecnología de transistores <i>FET</i> de acoplamiento directo o <i>DCFL</i>
<i>Direct Coupled Transistor Logic (DCTL)</i>	Tecnología de transistores acoplados directamente o <i>DCTL</i>
<i>Direct current (DC)</i>	Corriente continua
<i>Direct feedback sequential system</i>	Sistema secuencial de realimentación directa
<i>Direct Memory Access (DMA)</i>	Acceso directo a memoria
<i>Disable</i>	Inhibición
<i>Discharge input</i>	Entrada de descarga

<i>Discrete device</i>	Dispositivo discreto
<i>Disjunctive normal form</i>	Suma de productos canónicos
<i>Displacement direction select input</i>	Entrada de selección del sentido de desplazamiento
<i>Display</i>	Visualizador
<i>Distributed memory</i>	Memoria distribuida
<i>Divider</i>	Divisor
<i>Division</i>	División
<i>Do nothing input</i>	Entrada de inhibición/desinhibición
<i>Donor</i>	Donador
<i>Don't care</i>	Indiferente
<i>Doped</i>	Impurificado o dopado
<i>Doping</i>	Impurificar o dopar
<i>Double-diffused MOS (DMOS)</i>	MOS de doble difusión
<i>Double Pole Double Through (DPDT)</i>	Contacto doble conmutado o <i>DPDT</i>
<i>Double Pole Single Through (DPST)</i>	Contacto doble no conmutado o <i>DPST</i>
<i>Double Pole Single Through Normally Close (DPST-NC)</i>	Contacto doble no conmutado normalmente cerrado o <i>DPST-NC</i>
<i>Double Pole Single Through Normally Open (DPST-NO)</i>	Contacto doble no conmutado normalmente abierto o <i>DPST-NO</i>
<i>Double Word</i>	Doble palabra (32 bits)
<i>Down counter</i>	Contador descendente
<i>Drain</i>	Drenador o pozo
<i>Drain current</i>	Corriente de drenador
<i>Driver</i>	Amplificador, controlador o excitador
<i>Driving capability</i>	Capacidad de excitación
<i>Dual In Line (DIL)</i>	Encapsulado de doble línea
<i>Dual In line Package (DIP)</i>	Encapsulado de doble línea
<i>Dual Port Memory</i>	Memoria de doble puerto
<i>Duty cycle</i>	Ciclo de trabajo
<i>Dynamic CMOS</i>	Tecnología CMOS dinámica
<i>Dynamic display</i>	Visualizador dinámico
<i>Dynamic hazard</i>	Fenómeno aleatorio dinámico
<i>Dynamic inverter</i>	Inversor dinámico
<i>Dynamic Memory Controller</i>	Controlador de memorias dinámicas (DRAM)

Dynamic Random Access Memory (DRAM) Memoria de acceso aleatorio activa dinámica

E

<i>ECC encoder circuit</i>	Circuito de codificación ECC
<i>Edge</i>	Flanco
<i>Edge-triggered flip-flop</i>	Biestable activado por flancos
<i>Edge sensitive</i>	Sensible o activado por flancos
<i>Electrically Erasable CMOS(ECMOS)</i>	CMOS borrable eléctricamente
<i>Electrically Erasable Programmable Logic Device (EEPLD o E²PLD)</i>	Dispositivo lógico programable y borrable eléctricamente
<i>Electrically Erasable Programmable Read Only Memory (EEPROM o E²PROM)</i>	Memoria pasiva programable y borrable eléctricamente o memoria E ² PROM
<i>Electrically Programmable Read Only Memory(EPROM)</i>	Memoria pasiva programable o memoria EPROM
<i>Electromagnetic Compatibility (EMC)</i>	Compatibilidad electromagnética
<i>ElectroMagnetic Interference (EMI)</i>	Interferencias electromagnéticas
<i>ElectroStatic Discharge (ESD)</i>	Descarga electroestática
<i>Electronic Design Automation (EDA)</i>	Diseño electrónico automatizado
<i>Electronic Design Interchange Format (EDIF)</i>	Formato de intercambio de diseño electrónico.
<i>Elemental semiconductor</i>	Semiconductor básico
<i>Embedded Array Block (EAB)</i>	Bloque de matriz embebida o empotrada
<i>Embedded controller</i>	Controlador embebido o empotrado
<i>Embedded processor</i>	Procesador embebido o empotrado
<i>Embedded symbol</i>	Símbolo embebido o empotrado
<i>Embedded system</i>	Sistema embebido o empotrado
<i>Emitter-Coupled Logic (ECL)</i>	Tecnología de acoplamiento por emisor o ECL
<i>Enable</i>	Desinhibir o habilitar
<i>Enable Propagation (ENP)</i>	Propagación de la desinhibición o habilitación
<i>Enable signal</i>	Señal de desinhibición
<i>ENable Trigger (ENT)</i>	Desinhibición del disparo (conteo)
<i>Encoder</i>	Codificador
<i>Encryption</i>	Cifrado

<i>End of medium</i>	Fin del medio
<i>End of text</i>	Final de texto
<i>End of transmission</i>	Fin de transmisión
<i>End of transmission block</i>	Bloque de fin de transmisión
<i>Engineering Design System (EDS)</i>	Sistema de diseño en ingeniería
<i>Enhanced Dynamic RAM (EDRAM)</i>	Memoria RAM dinámica mejorada
<i>Enhancement</i>	Enriquecido o muy impurificado
<i>Enhancement MESFET</i>	Transistor <i>MESFET</i> enriquecido o muy impurificado
<i>Enhancement MOS transistor</i>	Transistor <i>MOS</i> enriquecido o muy impurificado
<i>Enquiry</i>	Pregunta
<i>Entity</i>	Entidad (<i>VHDL</i>)
<i>Equivalence function</i>	Función equivalencia
<i>Equivalent states</i>	Estados equivalentes
<i>Erasable Programmable Logic Device (EPLD)</i>	Dispositivo lógico programable y borrrable
<i>Erasable Programmable Read Only Memories (EPROM)</i>	Memoria pasiva programable y borrrable o <i>EPROM</i>
<i>Error Control Code (ECC)</i>	Código de control de errores
<i>Error Correcting Code (ECC)</i>	Código corrector de errores
<i>Error Detecting Code (EDC)</i>	Código detector de errores
<i>Error detection and correction (EDAC)</i>	Corrección y detección de errores
<i>Error detection circuitry</i>	Circuito detector de errores
<i>Error signal</i>	Señal de error
<i>Error Source Register (ESR)</i>	Registro de generación de errores
<i>Escape</i>	Escape o abandono
<i>Essential prime implicant</i>	Término primo esencial
<i>Even parity code</i>	Código de paridad par
<i>Event</i>	Suceso o acontecimiento
<i>Event driven</i>	Provocado por un suceso
<i>EXclusive NOR</i>	Función O-exclusiva invertida
<i>EXclusive OR</i>	Función O-exclusiva
<i>Execute cycle</i>	Ciclo de ejecución
<i>Exponent</i>	Exponente
<i>Extended Binary-Coded Decimal</i>	Código extendido decimal codificado en binario

Interchange Code (EBCDIC)

Extended Data Output Dynamic RAM (EDO DRAM) Memoria de acceso aleatorio activa *EDO DRAM*

Extrinsic semiconductor Semiconductor extrínseco

F

Factoring Sacar factor común

Failure Avería

Failure analysis Análisis de averías

Failure Mode Analysis (FMA) Análisis del modo de averías

Failure rate Frecuencia de averías

Falling edge Flanco de bajada o cambio de uno a cero

Fan-in Cargabilidad de entrada

Fan-out Cargabilidad de salida

Fast Page Mode Dynamic RAM (FPM DRAM) Memoria de acceso aleatorio activa dinámica de acceso rápido a la página

Fault Fallo

Fault Coverage (FC) Cobertura de fallos

Fault diagnosis Diagnóstico del fallo

Fault masking Ocultación de fallos

Fault origin Origen del fallo

Fault repair Reparación de fallos

Fault simulator Simulador de fallos

Fault tolerance Tolerancia a fallos

Feedback (FB) Realimentación

Ferroelectric Random Access Memory (FRAM) Memoria ferroeléctrica de acceso aleatorio o *FRAM*

Fetch cycle Ciclo de búsqueda

Fiber optic cable Cable de fibra óptica

Field bus Bus de campo

Field Effect Transistor (FET) Transistor de efecto de campo

Field Programmable Gate Array (FPGA) Conjunto configurable de puertas

Field Programmable Interconnect Dispositivo de interconexión programable eléctricamente

<i>Device (FPID)</i>	
<i>Field Programmable Logic Array (FPLA)</i>	Matriz lógica programable eléctricamente
<i>Field Programmable Logic Device (FPLD)</i>	Dispositivo lógico programable eléctricamente
<i>Field Programmable Technology (FPT)</i>	Tecnología de programación eléctrica
<i>FIFO buffer</i>	Cola temporal
<i>FIFO memory</i>	Memoria cola
<i>Figure Of Merit (FOM)</i>	Factor de mérito
<i>File</i>	Archivo
<i>File declaration</i>	Especificación de un archivo
<i>File separator</i>	Separador de archivos
<i>File Transfer Protocol (FTP)</i>	Protocolo de transferencia de archivos
<i>Fine-grain FPGA</i>	<i>FPGA</i> de grano fino
<i>Finite state factoring</i>	Partición de una máquina de estados finitos
<i>Finite State Machine (FSM)</i>	Máquina de estados finita
<i>Finite state partitioning</i>	Partición de una máquina de estados finitos
<i>Firmware</i>	Acepción 1: Programa almacenado en una memoria no volátil Acepción 2: Conjunto de rutinas del procesador Acepción3: Sistema firme
<i>First-In First-Out (FIFO)</i>	Memoria cola o tubo
<i>First-In Last-Out (FILO)</i>	Primero que entra último en salir
<i>Fitting</i>	Modificación o ajuste
<i>Fitting algorithm</i>	Algoritmo de modificación o ajuste
<i>Fixed logic circuit</i>	Circuito digital de función fija
<i>Fixed point data path</i>	Unidad operativa de coma fija
<i>Fixed point format</i>	Formato de coma fija
<i>FLASH Digital to Analog Converter (DAC)</i>	Convertidor simultáneo de digital a analógico
<i>FLASH memory</i>	Memoria flash
<i>Flip-flop</i>	Biestable sincronizado por flancos o cambios de nivel
<i>Floating</i>	Flotante
<i>Floating gate MOS</i>	<i>MOS</i> de puerta flotante
<i>Floating-Point Accelerator (FPA)</i>	Acelerador en coma flotante

<i>Floating point arithmetic</i>	Aritmética en coma flotante
<i>Floating point data path</i>	Unidad operativa de coma flotante
<i>Floating point format</i>	Formato de coma flotante
<i>Floating point operation</i>	Operación en coma flotante
<i>Floating point unit (FPU)</i>	Unidad de coma flotante
<i>Floorplanning (Integrated circuit)</i>	Distribución en planta (de los bloques lógicos)
<i>Flow control</i>	Control de flujo
<i>Flow table</i>	Tabla de flujo
<i>Flowchart</i>	Diagrama de flujo
<i>Form feed</i>	Salto de página
<i>Formal verification</i>	Verificación formal
<i>Forward bias</i>	Polarización directa
<i>Forward current</i>	Corriente directa
<i>Forward Error Correction (FEC)</i>	Corrección anticipada de errores
<i>FPGA based SoC</i>	Circuito SoC implementado con una <i>FPGA</i>
<i>FPGA programming</i>	Configuración de una <i>FPGA</i>
<i>FPGA synthesis</i>	Síntesis de una <i>FPGA</i>
<i>Frame</i>	Trama
<i>Frame buffer</i>	Memoria temporal de trama
<i>Frequency divider</i>	Divisor de frecuencia
<i>Frequency-domain analysis</i>	Análisis en el dominio de la frecuencia
<i>Frequency Modulation (FM)</i>	Modulación en frecuencia
<i>Frequency Shift Keying (FSK)</i>	Modulación digital de frecuencia
<i>Full adder</i>	Sumador total o completo
<i>Full-custom integrated circuit</i>	Circuito integrado totalmente a medida
<i>Full-duplex</i>	Doble sentido simultáneo
<i>Function Generator (FG)</i>	Generador de funciones
<i>Functional fault</i>	Fallo funcional
<i>Fuse</i>	Fusible
<i>Fusible-link technology</i>	Tecnología de conexión con fusibles

G

<i>Gallium Arsenide (GaAs)</i>	Arseniuro de galio
--------------------------------	--------------------

<i>Gate</i>	Puerta
<i>Gate array</i>	Matriz de puertas
<i>Gate delay</i>	Retardo de una puerta
<i>Gated control signal</i>	Señal de control por puerta
<i>Gated latch</i>	Biestable sincronizado por niveles
<i>Gated R-S latch</i>	Biestable <i>R-S</i> sincronizado por niveles
<i>General purpose</i>	Aplicación general
<i>General purpose multicore system</i>	Sistema multinúcleo de aplicación general
<i>General Purpose Processor (GPP)</i>	Procesador de aplicación general
<i>General purpose register</i>	Registro de aplicación general
<i>General purpose synchronous sequential system</i>	Sistema secuencial síncrono de aplicación general
<i>Generate statement</i>	Instrucción de generación
<i>Generic Array Logic (GAL)</i>	Matriz lógica programable con transistores <i>MOS</i>
<i>Giga Large Scale Integration (GLSI)</i>	Giga gran escala de integración
<i>Glitch</i>	Impulso transitorio o espurio
<i>Globally Asynchronous, Locally Synchronous (GALS)</i>	Sistema asíncrono globalmente y síncrono localmente
<i>Glue logic</i>	Circuito lógico adhesivo
<i>Granularity</i>	Granularidad
<i>Gray code</i>	Código Gray
<i>Ground</i>	Masa
<i>Ground plane</i>	Plano de masa
<i>Group separator</i>	Separador de grupos
<i>Guarded signal</i>	Señal reservada (<i>VHDL</i>)

H

<i>Hard Disk Drive (HDD)</i>	Unidad de disco duro
<i>H type open circuit output</i>	Salida de emisor o fuente abiertos
<i>Half adder</i>	Semisumador
<i>Half-duplex</i>	Sentido doble no simultáneo o sentido semidoble
<i>Hamming code</i>	Código Hamming
<i>Hamming distance</i>	Distancia de Hamming
<i>Handshake</i>	Saludo

<i>Hard core</i>	Núcleo duro o físico
<i>Hard-core cell</i>	Celda nuclear dura
<i>Hard error</i>	Error físico
<i>Hard IP</i>	Módulo físico patentado
<i>Hard macro</i>	Macro física
<i>Hard-wired control unit</i>	Unidad de control cableada
<i>Hard-wired controller</i>	Controlador cableado
<i>Hard-wired digital circuit</i>	Circuito digital cableado
<i>Hard-wired sequential synchronous system</i>	Sistema secuencial síncrono cableado
<i>Hardware</i>	Acepción 1 (sustantivo): placa electrónica, sistema físico, circuito electrónico, módulo, periférico, Acepción 2 (adjetivo): electrónico, físico
<i>Hardware Accelerator/Coprocessor</i>	Coprocador/Acelerador físico
<i>Hardware Description Language(HDL)</i>	Lenguaje de descripción de sistemas digitales
<i>Hardware-Software codesign</i>	Codiseño físico-lógico
<i>Hardware testing</i>	Verificación del sistema físico
<i>Hardware Transactional Memory (HTM)</i>	Memoria transaccional física
<i>Hardwiring</i>	Cablear
<i>Hardwiring state machine</i>	Máquina de estados cableada
<i>Harvard architecture</i>	Arquitectura Harvard
<i>Hazard</i>	Fenómeno aleatorio
<i>Heat sink</i>	Radiador
<i>Hertz (Hz)</i>	Hercio
<i>Heterogeneous chip multiprocessor</i>	Multiprocesador integrado heterogéneo
<i>Heuristic design guidelines</i>	Reglas empíricas de diseño
<i>Heuristic method</i>	Método empírico
<i>Hexadecimal number system</i>	Sistema hexadecimal de numeración
<i>Hierarchical architecture</i>	Arquitectura jerárquica(FPGA)
<i>High driving capability</i>	Gran capacidad de excitación o elevada corriente de salida
<i>High Electron Mobility Transistor (HEMFET)</i>	Transistor de efecto de campo con elevada movilidad de electrones o transistor <i>HEMFET</i>

<i>High impedance (H-iZ)</i>	Impedancia elevada
<i>High impedance state</i>	Estado de impedancia elevada
<i>High-Level Language (HLL)</i>	Lenguaje de nivel elevado
<i>High Threshold Logic (HTL)</i>	Tecnología de inmunidad al ruido elevada
<i>High-voltage driver</i>	Amplificador, controlador o excitador de tensión elevada
<i>Hold input</i>	Entrada de retención
<i>Hold time</i>	Tiempo de retención
<i>Hole</i>	Hueco
<i>Horizontal tabulation</i>	Tabulación horizontal
<i>Human Machine Interface (HMI)</i>	Interfaz máquina-ser humano
<i>Hybrid circuit</i>	Circuito híbrido
<i>Hybrid integrated circuit</i>	Circuito integrado híbrido
<i>Hysteresis</i>	Histéresis
<i>Hz</i>	Hercio

I

<i>Identifier</i>	Identificador (VHDL)
<i>Identity comparator</i>	Detector de identidad
<i>Idle</i>	Desocupado u ocioso
<i>Idle mode</i>	Estado de bajo consumo o hibernación
<i>IEEE standard libraries</i>	Bibliotecas normalizadas del IEEE
<i>Implementation</i>	Implementación
<i>Impurity</i>	Impureza
<i>In circuit emulator</i>	Emulador en el circuito
<i>In circuit reconfigurable (ICR)</i>	Reconfigurable en el circuito
<i>In Circuit Serial Programming (ICSP)</i>	Programación en serie en el circuito
<i>In System debugger</i>	Depurador en el sistema
<i>In System Programmable (ISP)</i>	Programable en el sistema o configurable en el sistema
<i>In System Programmable Logic Device (ISP PLD)</i>	Dispositivo lógico programable en el sistema
<i>In-System Re-programmable (ISR)</i>	Reprogramable en el sistema
<i>Incompletely specified function</i>	Función incompleta
<i>Incremental position encoder</i>	Codificador incremental de posición

<i>Index register</i>	Registro de índice
<i>Indexed addressing</i>	Direccionamiento indexado
<i>Indirect addressing</i>	Direccionamiento indirecto
<i>Initial state</i>	Estado inicial
<i>Initialization mode</i>	Modo de inicialización
<i>Initialization sequence</i>	Secuencia de inicialización
<i>Input gated latch</i>	Biestable sincronizado por niveles
<i>Input-output block</i>	Bloque de entrada-salida
<i>Input-output port</i>	Puerto de entrada-salida
<i>Input port</i>	Puerto de entrada
<i>Instantiation</i>	Reutilización
<i>Instantiate</i>	Reutilizar o repetir o
<i>Instantiation process</i>	Proceso de reutilización o de repetición
<i>Institute of Electrical & Electronic Engineers (IEEE)</i>	Instituto de ingenieros eléctricos y electrónicos
<i>Instruction execution unit</i>	Unidad de ejecución de instrucciones
<i>Instruction fetch unit</i>	Unidad de búsqueda de instrucciones
<i>Instruction Level Parallelism (ILP)</i>	Paralelismo a nivel de instrucciones
<i>Instruction register</i>	Registro de instrucciones
<i>Instruction Set Architecture (ISA)</i>	Arquitectura del conjunto de instrucciones
<i>Instruction Set Graph (ISG)</i>	Diagrama del conjunto de instrucciones
<i>Instruction Set Simulator (ISS)</i>	Simulador del conjunto de instrucciones
<i>Instructions Per Cycle (IPC)</i>	Instrucciones por ciclo
<i>Integrated Circuit (IC)</i>	Circuito integrado
<i>Integrated Design Environment (IDE)</i>	Sistema integrado de diseño
<i>Integrated Injection Logic (IIL o I²L)</i>	Tecnología de inyección integrada
<i>Integrated Services Data Network (ISDN)</i>	Red de datos de servicios integrados
<i>Integrating A/D converter</i>	Convertidor A/D por integración
<i>Intellectual Property (IP)</i>	Módulo patentado
<i>Inter Integrated Communication (I²C)</i>	Red de comunicaciones I ² C
<i>Interconnect array</i>	Matriz de interconexión
<i>Interface</i>	Interfaz o circuito de interfaz

<i>Interlocked signals</i>	Señales enclavadas
<i>Intermittent fault</i>	Fallo intermitente
<i>International Electrotechnical Commission (IEC)</i>	Comisión Electrotécnica Internacional
<i>International Standard Organisation (ISO)</i>	Organización Internacional de Normalización
<i>Internet Protocol (IP)</i>	Protocolo de Internet
<i>InterProcessor Communication (IPC)</i>	Comunicación entre procesadores
<i>Interrupt Service Routine (ISR)</i>	Rutina de interrupción
<i>Intrinsic semiconductor</i>	Semiconductor intrínseco
<i>Instruction set</i>	Juego o conjunto de instrucciones
<i>Instruction Set Architecture (ISA)</i>	Arquitectura del juego de instrucciones
<i>Inverter</i>	Inversor
<i>I/O</i>	Entrada/Salida (E/S)
<i>I/O block</i>	Bloque de entrada-salida (<i>FPGA</i>)
<i>I/O port</i>	Puerto de entrada/salida
<i>Iterative circuit</i>	Circuito repetitivo
<i>Iterative test generator (ITG)</i>	Generador de verificaciones repetitivas o iterativas

J

<i>J-K flip-flop</i>	Biestable J-K síncrono
<i>Just in Time (JIT)</i>	Justo a tiempo
<i>Jitter</i>	Temblor (del ciclo de una onda cuadrada)
<i>JK Flip-Flop (JKFF)</i>	Biestable JK síncrono
<i>Johnson code</i>	Código Johnson
<i>Johnson counter</i>	Contador Johnson
<i>Joint Test Action Group (JTAG) standard</i>	Norma <i>JTAG</i>
<i>Jump</i>	Salto
<i>Jumper</i>	Puente
<i>Junction Field Effect Transistor (JFET)</i>	Transistor de efecto de campo

K

<i>Karnaugh map (K-map)</i>	Tabla de Karnaugh
<i>Kernel</i>	Núcleo
<i>Keyboard</i>	Teclado
<i>KiloHerzt (kHz)</i>	Kilohercio

L

<i>L type open circuit output</i>	Salida de colector o drenador abierto
<i>Lamp Test (LT)</i>	Verificación o test de luz
<i>Language for Instruction Set Architecture (LISA)</i>	Lenguaje del juego de instrucciones
<i>Large Scale Integration (LSI)</i>	Escala de integración grande
<i>Last In First Out(LIFO)</i>	Memoria pila
<i>Latch</i>	Biestable cerrojo o biestable asíncrono
<i>Latch register</i>	Registro controlado por niveles
<i>Latch-up</i>	Realimentación o retención parásita
<i>Latch with Control</i>	Biestable sincronizado por niveles
<i>Latch with Enable</i>	Biestable sincronizado por niveles
<i>Latency time</i>	Tiempo de respuesta o latencia
<i>Layout (Integrated circuit)</i>	Trazado geométrico
<i>Leaded Chip Carrier (LCC)</i>	Encapsulado de terminales doblados en los cuatro lados
<i>Leading edge</i>	Flanco de subida
<i>Leadless Ceramic Chip Carrier (LCCC)</i>	Encapsulado cerámico sin terminales
<i>Leakage current</i>	Corriente de pérdidas
<i>Least Significant Bit (LSB)</i>	Bit menos significativo
<i>Level sensitive scan design (LSSD)</i>	Exploración sensible al nivel
<i>Library</i>	Biblioteca
<i>Light Emitting Diode (LED)</i>	Diodo luminiscente
<i>Line feed</i>	Salto de línea
<i>Linear Cellular Automata Register (LCAR)</i>	Registro del autómata celular lineal
<i>Linear Feedback Shift Register (LFSR)</i>	Registro de desplazamiento con realimentación lineal
<i>Linear Hybrid Cellular Automata (LHCA)</i>	Autómata celular híbrido lineal

<i>Linked state machines</i>	Máquinas de estados enlazados
<i>Liquid Cristal Display (LCD)</i>	Visualizador de cristal líquido
<i>Lithography</i>	Litografía
<i>Logic analyzer</i>	Analizador Lógico
<i>Logic Array Block (LAB)</i>	Bloque o conjunto de matrices lógicas
<i>Logic block (FPGA)</i>	Bloque lógico
<i>Logic cell</i>	Celda lógica
<i>Logic controller</i>	Controlador lógico
<i>Logic element (LE)</i>	Elemento lógico
<i>Logic function</i>	Función lógica
<i>Logic gate</i>	Puerta digital o lógica
<i>Logic module</i>	Bloque o módulo lógico
<i>Logic symbol</i>	Símbolo lógico
<i>Logic synthesis</i>	Síntesis lógica
<i>Long line</i>	Conexión larga
<i>Long word</i>	Doble palabra (32 bits)
<i>Longitudinal Redundancy Check(LRC)</i>	Comprobación mediante redundancia longitudinal
<i>Look-up table(LUT)</i>	Tabla de consulta
<i>Loop</i>	Bucle
<i>Loosely coupled systems</i>	Sistemas acoplados débilmente
<i>Low Power Schottky TTL (LSTTL)</i>	Tecnología TTL Schottky de bajo consumo
<i>LSSD On-Chip Self-Test (LOCST)</i>	Autoverificación LSSD en circuito integrado

M

<i>Macro</i>	Acepción 1: Macro Acepción 2: Componente Acepción 3: Módulo
<i>Macrocell</i>	Macrocela (<i>PLD</i>)
<i>Maintenance processor</i>	Procesador de mantenimiento
<i>Majority carrier</i>	Portador mayoritario
<i>Manchester code</i>	Código Manchester
<i>Manhattan architecture</i>	Arquitectura u organización cuadrícula
<i>Map</i>	Asignar

<i>Mapping</i>	Asignación
<i>Mask</i>	Máscara
<i>Mask Programmable</i>	Programable por máscara
<i>Mask Programmable Gate Array (MPGA)</i>	Matriz de puertas programable mediante máscara
<i>Master</i>	Principal
<i>Master reset</i>	Puesta a cero global
<i>Master-Slave</i>	Principal-subordinado
<i>Master-Slave flip-flop</i>	Biestable principal-subordinado
<i>Master-slave flip-flop with data lockout</i>	Biestable principal-subordinado con enclavamiento.
<i>Master-slave protocol</i>	Protocolo principal-subordinado
<i>Match</i>	Coincidencia
<i>Matrix based architecture</i>	Arquitectura matricial (<i>PLD</i>)
<i>Maxterm</i>	Suma canónica
<i>Mealy finite state machine</i>	Máquina de estados finita del tipo Mealy
<i>Mean Time To Repair (MTTR)</i>	Tiempo medio de reparación
<i>Medium Scale Integration (MSI)</i>	Escala de integración media
<i>Megahertz (MHz)</i>	Megahercio
<i>Memory</i>	Memoria
<i>Memory architecture</i>	Organización de memoria
<i>Memory built-in-self-test (MBIST)</i>	Autoverificación de memoria
<i>Memory capacity</i>	Capacidad de memoria
<i>Memory cell</i>	Celda de memoria
<i>Memory cycle time</i>	Tiempo de ciclo de memoria
<i>Memory dedicated FPGA</i>	<i>FPGA</i> con memoria incorporada
<i>Memory element</i>	Celda de memoria
<i>Memory Flow Control (MFC)</i>	Control del flujo de memoria
<i>Memory hierarchy</i>	Jerarquía de memoria
<i>Memory Management Unit (MMU)</i>	Unidad de gestión de memoria
<i>Memory organization</i>	Organización de memoria
<i>Memory read</i>	Lectura de memoria
<i>Memory test</i>	Verificación de memoria
<i>Memory write</i>	Escritura en memoria

<i>Mesh network topology</i>	Topología de malla
<i>Metal Oxide Semiconductor (MOS)</i>	Transistor <i>MOS</i>
<i>Metal Oxide Semiconductor Field Effect Transistor (MOSFET)</i>	Transistor <i>MOS</i> o transistor de efecto de campo metal-óxido-semiconductor
<i>Metal Semiconductor Field Effect Transistor (MESFET)</i>	Transistor <i>MESFET</i> o transistor de efecto de campo metal-semiconductor
<i>Metastability</i>	Metaestabilidad
<i>Metastable state</i>	Estado metaestable
<i>Methodology</i>	Metodología
<i>Microcomputer</i>	Microcomputador
<i>Microcontroller Unit (MCU)</i>	Microcontrolador
<i>MicroElectroMechanical System (MEMS)</i>	Sistema microelectromecánico
<i>Microelectromechanical Systems Technology</i>	Tecnología de sistemas microelectromecánicos
<i>Microinstruction</i>	Microinstrucción
<i>Microprocessor</i>	Microprocesador
<i>Microprocessor Unit (MPU)</i>	Microprocesador
<i>Microprogramming</i>	Microprogramación
<i>Microswitch</i>	Microinterruptor
<i>Microsystem</i>	Microsistema
<i>Millions of Floating-Point Operations PerSecond (MFLOPS)</i>	Millones de operaciones en coma flotante por segundo
<i>Millions of Instructions per Second (MIPS)</i>	Millones de instrucciones por segundo
<i>Minimization</i>	Minimización
<i>Minority carrier</i>	Portador minoritario
<i>Minterm</i>	Producto canónico
<i>Mixed-signal integrated circuits</i>	Circuitos integrados multiseñal
<i>Mode select input</i>	Entrada de selección de modo (de funcionamiento)
<i>Model Of Computation (MOC)</i>	Modelo de computación
<i>Modeling</i>	Modelizar
<i>Modified Algorithmic Test Sequence (MATS)</i>	Secuencia de verificación algorítmica modificada
<i>Modulation-Doped Field Effect Transistor (MODFET)</i>	Transistor <i>MODFET</i> o de efecto de campo con impurificación modulada

<i>Modulator-demodulator (MODEM)</i>	Modulador Demodulador
<i>Module</i>	Módulo (VHDL)
<i>Monolithic Integrated Circuit</i>	Circuito integrado monolítico
<i>Monostable</i>	Monoestable
<i>Moore finite state machine</i>	Máquina de estados finita del tipo Moore
<i>MOS transistor</i>	Transistor <i>MOS</i> o transistor metal-óxido-semiconductor
<i>Most Significant Bit (MSB)</i>	Bit más significativo
<i>Motherboard</i>	Placa base
<i>MultiChip Module (MCM)</i>	Módulo con varios circuitos integrados
<i>Multicore</i>	Multinúcleo
<i>Multicore computer</i>	Computador de varios núcleos
<i>Multicore processor</i>	Multiprocesador de varios núcleos
<i>MultiCore System on Chip (MCSoc)</i>	Sistema integrado multinúcleo
<i>Multilevel function</i>	Función lógica multinivel
<i>Multilevel logic</i>	Circuito combinacional multinivel
<i>Multilevel logic circuit</i>	Circuito combinacional multinivel
<i>Multi-Processor System-on-Chip (MPSoC)</i>	Multiprocesador integrado
<i>Multiple array matrix</i>	Matriz de interconexión múltiple
<i>Multiple CPU chip</i>	Circuito integrado con varias UCP (<i>CPU</i>)
<i>Multiple input shift register (MISR)</i>	Registro de desplazamiento de múltiples entradas
<i>Multiple-input signature register (MISR)</i>	Registro de firma de entrada múltiple
<i>Multiple Instruction /Multiple Data (MIMD)</i>	Flujos múltiples de instrucciones y datos
<i>Multiple Instruction/Single Data (MISD)</i>	Flujo múltiple de instrucciones y único de datos
<i>Multiple output function</i>	Multifunción
<i>Multiple port SRAM</i>	Memoria de acceso aleatorio activa estática de acceso múltiple
<i>Multiplexer (MUX)</i>	Multiplexor
<i>Multiplexer based FPGA</i>	<i>FPGA</i> implementada con multiplexores
<i>Multiplexer/Demultiplexer (MDX)</i>	Multiplexor/Demultiplexor
<i>Multiplicand</i>	Multiplicando

<i>Multiplication</i>	Multiplicación
<i>Multiplier</i>	Multiplicador
<i>Multiplier ACcumulator (MAC)</i>	Multiplicador-acumulador
<i>Multiplier dedicated FPGA</i>	FPGA con circuito multiplicador
<i>Multiplying D/A converter</i>	Convertidor D/A por multiplicación
<i>Multiport memory</i>	Memoria de acceso múltiple
<i>Multi-Processor System-on-Chip (MPSoC)</i>	Multiprocesador integrado
<i>Multivalued logic circuit</i>	Circuito lógico de múltiples valores (VHDL)
N	
<i>N channel MOS (NMOS)</i>	Transistor MOS de canal N
<i>N-channel MOS Field Effect Transistor (NFET)</i>	Transistor de efecto de campo MOS de canal N
<i>N type semiconductor</i>	Semiconductor de tipo N
<i>N-tuple Modular Redundancy (NMR)</i>	Redundancia modular múltiple
<i>NAND operation</i>	Operación Y invertida
<i>NAND S-R latch</i>	Biestable S-R asíncrono de grabado prioritario
<i>Nanocomputing</i>	Nanocomputación
<i>NanoElectroMechanical System (NEMS)</i>	Sistema nanoelectromecánico
<i>Nanoelectronics</i>	Nanoelectrónica
<i>Nanotransistor</i>	Nanotransistor
<i>Nanotube</i>	Nanotubo
<i>Nanowire</i>	Nanocable
<i>Negate</i>	Inversión
<i>Negative acknowledge</i>	Acuse de recibo negativo
<i>Negative edge</i>	Flanco de bajada
<i>Negative edge triggered flip-flop</i>	Biestable activado por flancos de bajada
<i>Negative logic</i>	Lógica negativa
<i>Negative numbers</i>	Números negativos
<i>Netlist</i>	Lista de conexiones
<i>Network On Chip (NOC)</i>	Multicomputador integrado

<i>Nibble</i>	Cuarteto
<i>NMOS logic</i>	Tecnología <i>NMOS</i>
<i>Noise</i>	Ruido
<i>Noise margin</i>	Margen de ruido
<i>Non critical race</i>	Transición vectorial no crítica
<i>Non Destructive ReadOut (NDRO)</i>	Lectura no destructiva
<i>Non Maskable Interrupt (NMI)</i>	Interrupción no enmascarable
<i>Non recurrent engineering (NRE)</i>	(Costes de) ingeniería no recurrentes
<i>Non retriggerable monostable</i>	Monoestable no redisparable
<i>Non Return to Zero (NRZ)</i>	Sin retorno a cero
<i>Non Return to Zero Inverted (NRZI)</i>	Sin retorno a cero invertida
<i>Non weighted BCD codes</i>	Códigos <i>BCD</i> no ponderados
<i>Nonvolatile</i>	No volátil
<i>Nonvolatile RAM memory (NVRAM)</i>	Memoria activa no volátil
<i>NOR gate</i>	Puerta NO-O o <i>NOR</i>
<i>NOR operation</i>	Operación O invertida
<i>Not operation</i>	Operación inversión
<i>Null</i>	Nulo
<i>Number system</i>	Sistema de numeración

O

<i>Observability</i>	Observabilidad (Capacidad de observable)
<i>Octal number system</i>	Sistema octal de numeración
<i>Odd parity code</i>	Código de paridad impar
<i>Offset</i>	Asimetría
<i>On-chip multithreading</i>	Multitareas en un solo integrado
<i>One-hazard</i>	Fenómeno aleatorio de tipo 1
<i>One hot (1-out-of-n) code</i>	Código uno entre n
<i>One's complement</i>	Complemento a uno
<i>One's complement of the sum</i>	Complemento a uno de la suma
<i>One shot</i>	Monoestable
<i>One Time Programmable (OTP)</i>	Programable una sola vez
<i>Open circuit</i>	Circuito abierto

<i>Open collector gate</i>	Puerta de colector abierto
<i>Open collector output</i>	Salida de colector abierto
<i>Open drain</i>	Drenador abierto
<i>Open emitter</i>	Emisor abierto
<i>Open Multimedia Applications Platform (OMAP)</i>	Plataforma abierta para desarrollo de sistemas multimedia
<i>Open source</i>	Fuente abierta
<i>Open System Interconnection (OSI)</i>	Interconexión de sistemas abiertos
<i>Operating system</i>	Sistema operativo
<i>Operation margin</i>	Margen de operación
<i>Operation Mode (M)</i>	Modo de operación
<i>Or-And Invert (OAI)</i>	O-Y invertida
<i>OR gate</i>	Puerta O
<i>OR operation</i>	Operación lógica O
<i>Ordered Memory Access (OMA) architecture</i>	Arquitectura de acceso ordenado a memoria
<i>Oscillator</i>	Oscilador
<i>Output buffer</i>	Memoria temporal de salida
<i>Output Data Compaction (ODC)</i>	Compactación de los datos de salida
<i>Output Enable (OE)</i>	Desinhibición de salida
<i>Output port</i>	Puerto de salida
<i>Output Response Analyzer (ORA)</i>	Analizador de la respuesta de salida
<i>Output table</i>	Tabla de salida
<i>Overflow</i>	Rebasamiento
<i>Overhead</i>	Información adicional (no aprovechable)
<i>Overload</i>	Sobrecarga
<i>Oversampling</i>	Sobremuestreo
<i>Oversampling converter</i>	Convertidor por sobremuestreo

P

<i>P-channel MOS Field Effect Transistor (PFET)</i>	Transistor de efecto de campo <i>MOS</i> de canal P
<i>P Channel MOS transistor (PMOS)</i>	Transistor <i>MOS</i> de canal P
<i>P type semiconductor</i>	Semiconductor de tipo P

<i>Package</i>	Encapsulado
<i>Package</i>	Paquete (VHDL)
<i>Packet switching</i>	Conmutación de paquetes
<i>Pad</i>	Terminal interno (de un circuito integrado)
<i>PAL based digital system</i>	Sistema digital implementado con una matriz PAL
<i>Paralell binary adder</i>	Sumador binario en paralelo
<i>Parallel computing</i>	Multiproceso en paralelo
<i>Parallel/Displacement select input</i>	Entrada de selección paralelo-desplazamiento
<i>Parallel-in/Parallel-out (PIPO)register</i>	Registro de entrada y salida en paralelo
<i>Parallel-in/Serial-out (PISO) shift register</i>	Registro de desplazamiento con entrada en paralelo y salida en serie
<i>Parallel input</i>	Entrada (de información) en paralelo
<i>Parallel input port</i>	Puerto de entrada o interfaz de entrada en paralelo
<i>Parallel I/O register</i>	Registro de entrada y salida en paralelo
<i>Parallel load</i>	Carga en paralelo
<i>Parallel machine</i>	Multiprocesador o procesador en paralelo
<i>Parallel output</i>	Salida (de información) en paralelo
<i>Parallel output port</i>	Puerto de salida o interfaz de salida en paralelo
<i>Parallel port</i>	Puerto paralelo
<i>Parallel processors</i>	Procesadores en paralelo
<i>Parallel processor system</i>	Sistema multiprocesador
<i>Parallel to serial conversion</i>	Conversión de paralelo a serie
<i>Parallelism</i>	Paralelismo
<i>Parity bit</i>	Bit de paridad
<i>Parity checking</i>	Detector de paridad
<i>Parity checking/generator</i>	Detector/generador de paridad
<i>Parity generator</i>	Generador de paridad
<i>Partitioning</i>	Partir o descomponer en partes
<i>Passive pull-down output</i>	Salida con carga pasiva en el emisor o surtidor
<i>Passive pull-up output</i>	Salida con carga pasiva en el colector o drenador
<i>Path sensitization</i>	Sensibilización del camino
<i>Performance</i>	Acepción1: Prestación
<i>Peripheral Component Interconnect</i>	Bus de interconexión de periféricos

<i>bus (PCibus)</i>	
<i>Peripheral Control Block(PCB)</i>	Bloque de control de periférico
<i>Personal Computer (PC)</i>	Computador personal
<i>Personal Digital Assistant (PDA)</i>	Agenda digital personal
<i>Phase Locked Loop (PLL)</i>	Bucle de fase enclavada o enganchada
<i>Photocurrent</i>	Fotocorriente
<i>Physical description</i>	Descripción física o geométrica
<i>Pin</i>	Patilla o borne
<i>Pin Grid Array (PGA)</i>	(Encapsulado de) matriz de patillas
<i>Pipeline</i>	Acepción 1: Segmentación (de una unidad operativa) Acepción 2: Solapamiento (de una unidad de control)
<i>Pipeline operation unit</i>	Unidad operativa segmentada
<i>Pipeline register</i>	Registro de segmentación o solapamiento
<i>PLA based digital system</i>	Sistema digital implementado con una matriz <i>PLA</i>
<i>Place</i>	Ubicar o colocar
<i>Place and route</i>	Colocar o ubicar e interconectar
<i>Placement</i>	Ubicación (de celdas, elementos lógicos o módulos)
<i>Plastic Leaded Chip Carrier (PLCC)</i>	Encapsulado plástico de patillas dobladas
<i>Platform-Based Design (PBD)</i>	Diseño mediante una herramienta
<i>Port latch</i>	Puerto (de salida) controlado por niveles
<i>Port map</i>	Asignación de terminales
<i>Port map statement</i>	Sentencia de asignación de terminales
<i>Position encoder</i>	Codificador de posición
<i>Positional number system</i>	Sistema posicional de numeración
<i>Positive edge</i>	Flanco de subida
<i>Positive feedback</i>	Realimentación positiva
<i>Positive logic</i>	Lógica positiva
<i>Post-synthesis simulation</i>	Simulación postsíntesis
<i>Power consumption</i>	Potencia disipada
<i>Power Delay Product (PDP)</i>	Producto potencia-retardo
<i>Power dissipation</i>	Potencia disipada
<i>Power Line Communication (PLC)</i>	Comunicación a través de la línea eléctrica
<i>Power On Reset (POR)</i>	Inicialización al alimentar

<i>Power-On Self Test (POST)</i>	Autoverificación al alimentar
<i>Power plane</i>	Plano de masa
<i>Power Supply Unit (PSU)</i>	Fuente de alimentación
<i>Prescaler</i>	Predivisor (de frecuencia)
<i>Preset</i>	Poner a uno
<i>Prime implicant</i>	Término primo
<i>Printed Circuit Board (PCB)</i>	Placa de circuito impreso
<i>Printed Wiring Board (PWB)</i>	Placa de circuito impreso
<i>Priority encoder</i>	Codificador con prioridad
<i>Procedure</i>	Procedimiento
<i>Process</i>	Proceso (VHDL)
<i>Process Level Parallelism (PLP)</i>	Paralelismo a nivel de proceso
<i>Processor core</i>	Núcleo procesador
<i>Processor Status Word (PSW)</i>	Palabra de estado
<i>Product Of Sums (POS)</i>	Producto de sumas lógicas
<i>Product term</i>	Producto lógico
<i>Program Counter (PC)</i>	Contador de programa
<i>Program Status Word (PSW)</i>	Palabra de estado
<i>Programmable Array Logic (PAL)</i>	Matriz lógica Y-programable
<i>Programmable decoder</i>	Decodificador programable
<i>Programmable Gate Array (PGA)</i>	Matriz programable de puertas Y
<i>Programmable Interconnect Array (PIA)</i>	Matriz de interconexión programable
<i>Programmable I/O block</i>	Bloque de entrada-salida programable
<i>Programmable Logic</i>	Circuito lógico configurable
<i>Programmable Logic Array (PLA)</i>	Matriz lógica programable
<i>Programmable Logic Block (PLB)</i>	Bloque lógico programable
<i>Programmable Logic Controller (PLC)</i>	Autómata programable
<i>Programmable Logic Device (PLD)</i>	Dispositivo Lógico Programable
<i>Programmable Logic Sequencer (PLS)</i>	Secuenciador lógico programable
<i>Programmable Read Only Memory (PROM)</i>	Memoria pasiva programable
<i>Programmable System-On-a-Chip</i>	Acepción 1: Sistema integrado programable

<i>(PSOC)</i>	Acepción 2: Sistema monolítico programable
<i>Programmer</i>	Programador
<i>Programming language</i>	Lenguaje de programación
<i>Programming technology</i>	Tecnología de configuración
<i>Propagation delay time</i>	Retardo o retraso de propagación.
<i>Protoboard</i>	Placa de prototipos
<i>Protocol Data Unit (PDU)</i>	Unidad de datos del protocolo
<i>Pseudo-Exhaustive Self-Test (PEST)</i>	Autoverificación seudoexhaustiva
<i>Pseudorandom</i>	Seudoaleatorio
<i>Pseudorandom Binary Sequence (PRBS)</i>	Secuencia binaria pseudoaleatoria
<i>PseudoRandom Binary Sequence Generator (PRBSG)</i>	Generador de una secuencia binaria seudoaleatoria
<i>PseudoRandom Generator (PSRG)</i>	Generador de señales seudoaleatorias
<i>PseudoRandom Pattern Generator (PRPG)</i>	Generador de una secuencia seudoaleatoria
<i>Pull-down resistor</i>	Resistencia en el emisor o en la fuente
<i>Pull-up resistor</i>	Resistencia en el colector o en el drenador
<i>Pulse Code Modulation (PCM)</i>	Modulación por impulsos codificados (MIC)
<i>Pulse generator</i>	Generador de impulsos
<i>Pulse-triggered flip-flop</i>	Biestable activado por impulsos
<i>Pulse Width Modulation (PWM)</i>	Modulación de anchura de impulsos
<i>Purpose</i>	Aplicación
<i>Push-button</i>	Pulsador
<i>Push-pull output</i>	Salida en contrafase

Q

<i>Quad Flat Package (QFP)</i>	Encapsulado cuadrangular plano
<i>Quad word</i>	Palabra cuádruple (64 bits)
<i>Quadrature Amplitude Modulation (QAM)</i>	Modulación de amplitud en cuadratura
<i>Quantization</i>	Cuantificación
<i>Quartz crystal</i>	Cristal de cuarzo
<i>Quasi-bidirectional port</i>	Puerto semibidireccional

Quaternary semiconductor

Semiconductor cuaternario

R

Race

Transición crítica

Radio Frequency Interference (RFI)

Interferencia de radiofrecuencia

Rambus Dynamic Random Access Memory (RDRAM)

Memoria de acceso aleatorio dinámica Rambus

Random Access Memory (RAM)

Memoria de acceso aleatorio activa

Random Access Memory (RAM) Memory cell

Celda de una memoria de acceso aleatorio

Random logic

Circuito lógico cableado

Random Test Program Generation (RTPG)

Generación de un programa de verificación aleatoria

Random Test Socket (RTS)

Zócalo de verificación aleatoria

Rapid prototyping

Implementación rápida del prototipo o prototipado rápido o

Read cycle time

Tiempo del ciclo de lectura

Read Only Memory (ROM)

Memoria totalmente pasiva

Read while write RAM memory

Memoria de acceso aleatorio activa de escritura y lectura simultáneas

Read/Write Memory (RWM)

Memoria activa o de escritura/ lectura

Real time (RT)

Tiempo real

Real time clock (RTC)

Reloj de tiempo real

Real-Time Operating System (RTOS)

Sistema operativo en tiempo real

Reconfigurable Algorithm Accelerator (RAA)

Acelerador del algoritmo de configuración

Reconfigurable circuit

Circuito reconfigurable

Reconfigurable computer

Computador reconfigurable

Reconfigurable hardware

Sistema físico reconfigurable

Reconfigurable Instruction Set Processor (RISP)

Procesador de juego de instrucciones reconfigurable

Reconfigurable processor

Procesador reconfigurable

Reconfigurable System-on-Chip

Sistema integrado reconfigurable

Record separator

Separador de registro

Reduced Instruction Set Computer (RISC)

Computador de juego de instrucciones reducido

<i>Reduction</i>	Minimización
<i>Redundancy</i>	Redundancia
<i>Redundant</i>	Redundante
<i>Reed relay</i>	Relé de láminas
<i>Refresh</i>	Regrabar o renovar
<i>Refreshing</i>	Renovar o Reescribir
<i>Register</i>	Registro
<i>Register bank</i>	Conjunto o banco de registros de registros
<i>Register file</i>	Conjunto o banco de registros de registros
<i>Register Transfer Language (RTL)</i>	Lenguaje de transferencia entre registros
<i>Register Transfer Language (RTL) modeling</i>	Modelado mediante un lenguaje de transferencia entre registros
<i>Registered PAL</i>	Secuenciador lógico programable o Matriz lógica Y-programable con registro
<i>Relay</i>	Relé
<i>Reliability</i>	Fiabilidad
<i>Reliability testing</i>	Verificación de la fiabilidad
<i>Reprogrammable Read Only Memory (RPMOM)</i>	Memoria pasiva reprogramable
<i>Require</i>	Acepción 1: Necesitar Acepción 2: Exigir
<i>Requirement</i>	Requisito o especificación
<i>Reserved word</i>	Palabra reservada
<i>Reset</i>	Acepción 1: borrar oponer a cero Acepción 2: Inicializar (Procesador)
<i>Reset/Set (RS)</i>	P. cero/P. uno
<i>Reset input</i>	Entrada de borrado
<i>Resistor pull-down</i>	Resistencia de emisor o de fuente
<i>Resistor pull-up</i>	Resistencia de colector o de drenador
<i>Resistor Transistor Logic (RTL)</i>	Tecnología resistencia transistor
<i>Resolution</i>	Resolución
<i>Retriggerable monostable</i>	Monoestable redisparable
<i>Return to zero (RZ)</i>	Retorno a cero
<i>Return to zero code</i>	Código con retorno a cero
<i>Reverse bias</i>	Polarización inversa

<i>Reverse biased</i>	Polarizado inversamente
<i>Reverse current</i>	Corriente inversa
<i>Reverse engineering</i>	Ingeniería inversa
<i>Ring counter</i>	Contador en anillo
<i>Ring counter with self correction</i>	Contador en anillo con autoinicialización, reinicio automático o autocorrección
<i>Ripple BCD binary counter</i>	Contador binario asíncrono en BCD natural
<i>Ripple binary up counter</i>	Contador asíncrono ascendente en binario natural
<i>Ripple Blanking Input (RBI)</i>	Entrada de propagación del blanqueo
<i>Ripple Blanking Output (RBO)</i>	Salida de propagación del blanqueo
<i>Ripple carry adder</i>	Sumador con propagación del acarreo en serie
<i>Ripple Carry Output (RCO)</i>	Salida de propagación del acarreo
<i>Ripple counter</i>	Contador asíncrono
<i>RISC architecture</i>	Arquitectura RISC
<i>RISC computer</i>	Computador RISC
<i>Rising edge</i>	Flanco de subida o cambio de cero a uno
<i>Route</i>	Enrutar
<i>Router</i>	Enrutador
<i>Routing</i>	Enrutado
<i>Routing matrix</i>	Matriz de enrutado
<i>Row Address Strobe (RAS)</i>	Muestreo de la dirección de fila
<i>Row-based architecture</i>	Arquitectura basada en filas (<i>FPGA</i>)
<i>R-S flip-flop</i>	Biestable R-S sincronizado por flancos
<i>R-S Latch</i>	Biestable R-S asíncrono

S

<i>S-R latch</i>	Biestable R-S asíncrono
<i>SAM cell</i>	Celda de una memoria de acceso secuencial
<i>Sample & Hold (S&H)</i>	Muestreo y retención
<i>Sampling rate</i>	Frecuencia de muestreo
<i>Sampling time</i>	Tiempo de muestreo
<i>Scaler</i>	Divisor de frecuencia
<i>Scan</i>	Explorar

<i>Scan Data Input (SDI)</i>	Entrada de datos de exploración
<i>Scan Data Output (SDO)</i>	Salida de datos de exploración
<i>Scan-in</i>	Entrada de exploración
<i>Scan-out</i>	Salida de exploración
<i>Scan path</i>	Camino de exploración
<i>Scan path testing</i>	Verificación mediante el camino de exploración
<i>Scheduling</i>	Planificación
<i>Schematic</i>	Esquema
<i>Schematic capture</i>	Edición de un esquema
<i>Schmitt trigger</i>	Disparador Schmitt
<i>Schottky transistor</i>	Transistor Schottky
<i>Schottky Transistor Transistor Logic (STTL)</i>	Tecnología TTL Schottky
<i>Sea of cells</i>	Mar de puertas (<i>FPGA</i>)
<i>Sea of gates</i>	Mar de puertas (<i>FPGA</i>)
<i>Sea of tiles</i>	Mar de baldosas (<i>FPGA</i>)
<i>Segmented track</i>	Pista segmentada
<i>Selectively Doped Heterojunction field effect Transistor (SDHT)</i>	Transistor <i>SDHT</i>
<i>Self-timed circuit</i>	Circuito autotemporizado
<i>Self-starting</i>	Autoinicializable
<i>Self-Test Area (STAR)</i>	Área de autotest
<i>Self-Testing Using a MISR and Parallel SRSG (STUMPS)</i>	<i>Autotest con MISR y SRSG en paralelo</i>
<i>Semicustom integrated circuit</i>	Circuito integrado semimedida
<i>Sensitivity list</i>	Lista de sensibilidad (<i>VHDL</i>)
<i>Sequential Access Memory (SAM)</i>	Memoria de acceso secuencial
<i>Sequential logic circuit</i>	Circuito lógico secuencial
<i>Sequential processes</i>	Procesos secuenciales
<i>Sequential statements</i>	Sentencias secuenciales (<i>VHDL</i>)
<i>Serial binary adder</i>	Sumador binario en serie
<i>Serial communication</i>	Comunicación en serie
<i>Serial Communication Interface (SCI)</i>	Interfaz de comunicación serie
<i>Serial data input</i>	Entrada serie de datos

<i>Serial data output</i>	Salida serie de datos
<i>Serial EEPROM</i>	Memoria <i>EEPROM</i> serie
<i>Serial flash memory</i>	Memoria flash serie
<i>Serial FRAM memory</i>	Memoria <i>FRAM</i> serie
<i>Serial-in/Parallel-out (SIPO)shift register</i>	Registro de desplazamiento con entrada serie y salida paralelo
<i>Serial-in/Serial-out (SISO)shift register</i>	Registro de desplazamiento con entrada serie y salida serie
<i>Serial interface</i>	Interfaz serie
<i>Serial left data input</i>	Entrada serie de datos hacia la izquierda
<i>Serial left data output</i>	Salida serie de datos hacia la izquierda
<i>Serial Peripheral Interface (SPI)</i>	Interfaz serie SPI
<i>Serial port</i>	Puerto serie o interfaz serie
<i>Serial Programmable Read-Only Memory (Serial PROM o SPROM)</i>	Memoria pasiva programable de acceso serie o memoria <i>PROM</i> serie
<i>Serial right data input</i>	Entrada serie hacia la derecha
<i>Serial right data output</i>	Salida serie hacia la derecha
<i>Serial to parallel conversion</i>	Conversión de serie a paralelo
<i>Set</i>	Poner a uno
<i>Set input</i>	Entrada de puesta a uno
<i>Setup time</i>	Tiempo de establecimiento
<i>Seven segments decoder driver</i>	Convertidor de <i>BCD</i> natural a siete segmentos
<i>Seven segment display</i>	Visualizador de siete segmentos
<i>Shadow register</i>	Registro de solapamiento
<i>Shift in</i>	Entrada de desplazamiento
<i>Shift out</i>	Salida de desplazamiento
<i>Shift register (SRG)</i>	Registro de desplazamiento
<i>Shift register sequence generator(SRSG)</i>	Generador de secuencias con registro de desplazamiento
<i>Short circuit</i>	Cortocircuito
<i>Shrink Small-Outline Package (SSOP)</i>	Encapsulado pequeño de doble línea para montaje superficial
<i>Si</i>	Silicio
<i>Sigma-delta ADC</i>	Convertidor sigma-delta de analógico a digital

<i>Sign bit</i>	Bit de signo
<i>Signal attributes</i>	Atributos de una señal
<i>Signal conditioning</i>	Acondicionamiento de la señal
<i>Signal declaration</i>	Definición de una señal
<i>Signature</i>	Firma
<i>Signature analysis</i>	Análisis de firma
<i>Signature analysis register (SAR)</i>	Registro de análisis de firma
<i>Signed-Magnitude representation</i>	Representación signo-magnitud
<i>Silicon chip</i>	Circuito integrado de silicio
<i>Silicon compiler</i>	Compilador de silicio
<i>Silicon Germanium (SiGe)</i>	Silicio Germanio
<i>Silicon-On-Insulator (SOI)</i>	Silicio sobre aislante
<i>Silicon-On-Sapphire (SOS)</i>	Silicio sobre zafiro
<i>Simple Programmable Logic Device (SPLD)</i>	Dispositivo lógico programable simple
<i>Simultaneous access memory</i>	Memoria de acceso múltiple
<i>Simultaneous Multi-Threading (SMT)</i>	Multitareas simultáneas
<i>Simultaneous Self-Test (SST)</i>	Autotest simultáneo
<i>Single Access Random Access Memory (SARAM)</i>	Memoria de acceso aleatorio único
<i>Single-chip multiprocessor</i>	Multiprocesador integrado
<i>Single-In-line Memory Module (SIMM)</i>	Módulo de memorias en una fila
<i>Single Instruction Multiple Data (SIMD)</i>	Computador de una sola secuencia de instrucciones y varias de datos
<i>Single Instruction Single Data (SISD)</i>	Computador de una sola secuencia de instrucciones y de datos
<i>Single Pole Double Through (SPDT)</i>	Contacto único de doble vía o conmutado
<i>Single Pole Single Through (SPST)</i>	Contacto único (no conmutado)
<i>Single Pole Single Through-Normally close (SPST-NC)</i>	Contacto único (no conmutado) normalmente cerrado
<i>Single Pole Single Through-Normally open (SPST-NO)</i>	Contacto único (no conmutado) normalmente abierto
<i>Single shot</i>	Monoestable
<i>Sinking current</i>	Corriente de pozo

<i>Skew</i>	Desfase o retardo
<i>Skip</i>	Salto simple
<i>Slave</i>	Subordinado
<i>Sleep Mode</i>	Estado dormido
<i>Slew rate</i>	Velocidad o pendiente de cambio
<i>Slice</i>	Rebanada o rodaja
<i>Small Computer System Interface (SCSI)</i>	Norma de acoplamiento de periféricos SCSI
<i>Small Outline Integrated Circuit (SOIC)</i>	Encapsulado de doble línea para montaje superficial
<i>Small Scale Integration (SSI)</i>	Pequeña escala de integración
<i>Smart sensor</i>	Sensor inteligente
<i>Soft core</i>	Núcleo de programa o blando
<i>Soft IP</i>	Módulo de programa patentado
<i>Soft macro</i>	Módulo o macro de programa
<i>Software</i>	Acepción 1 (sustantivo): herramienta (informática), paquete (informático), aplicación (informática), programa o rutina Acepción 2 (adjetivo): informático, lógico
<i>Software-Based Self-Test (SBST)</i>	Autoverificación por programa
<i>Software Tool</i>	Herramienta informática
<i>Software TM (STM)</i>	Memoria transaccional por programa
<i>Software versus hardware</i>	Relación programa/sistema físico
<i>Solderless protoboard</i>	Placa de prototipos sin soldadura
<i>Solid-State Drive (SSD)</i>	Excitador de estado sólido
<i>Source</i>	Fuente
<i>Source register</i>	Registro fuente
<i>Space</i>	Espacio
<i>Spare</i>	Repuesto
<i>Special Purpose Processor (SPP)</i>	Procesador de aplicación específica
<i>Specification</i>	Especificación
<i>Specification-Oriented Test (SPOT)</i>	Especificación orientada al test
<i>Speed-power product</i>	Producto potencia-velocidad
<i>Simple Programmable Logic Device (SPLD)</i>	Dispositivo lógico programmable sencillo o simple

<i>Stack</i>	Pila
<i>Stack pointer</i>	Puntero de una pila
<i>Standard ASIC</i>	Chip normalizado de aplicación específica
<i>Standard Application Specific Integrated Circuit</i>	Chip normalizado de aplicación específica
<i>Standard cell</i>	Celda normalizada
<i>Standard Delay Format (SDF)</i>	Formato de retardo normalizado
<i>Standard off-the-shelf integrated circuit</i>	Circuito integrado normalizado
<i>Standard Test Interface Language (STIL)</i>	Lenguaje normalizado de interfaz de verificación
<i>Start bit</i>	Bit de inicio
<i>Start of heading</i>	Inicio de la cabecera
<i>Start of text</i>	Inicio de texto
<i>Start-up</i>	Inicializar (un procesador)
<i>Start-up circuit</i>	Circuito de inicialización
<i>Starting conditions</i>	Condiciones iniciales
<i>Starting state</i>	Estado inicial
<i>State assignment</i>	Asignación de estados
<i>State chart</i>	Diagrama de estados
<i>State diagram</i>	Diagrama de estados
<i>State encoding</i>	Codificación de estados
<i>State graph</i>	Diagrama de estados
<i>State machine</i>	Máquina de estados o sistema secuencial
<i>State minimization</i>	Minimización de estados
<i>State table</i>	Tabla de estados
<i>State transition</i>	Transición entre estados
<i>State variable</i>	Variable de estado
<i>Statement</i>	Sentencia
<i>Static CMOS</i>	Tecnología <i>CMOS</i> estática
<i>Static hazard</i>	Fenómeno aleatorio estático
<i>Static-0 hazard</i>	Fenómeno aleatorio estático de tipo cero
<i>Static-1 hazard</i>	Fenómeno aleatorio estático de tipo uno
<i>Static display</i>	Visualizador estático

<i>Static inverter</i>	Inversor estático
<i>Static Random Access Memory (SRAM)</i>	Memoria de acceso aleatorio activa estática (<i>SRAM</i>)
<i>Status register</i>	Registro de estado
<i>Status word</i>	Palabra de estado
<i>Steering logic circuit</i>	Tecnología de puertas de transmisión
<i>Stop band</i>	Banda anulada
<i>Stop bit</i>	Bit de finalización
<i>Stream</i>	Corriente
<i>Stream parallelism</i>	Paralelismo de corrientes
<i>Strobe</i>	Muestrear
<i>Strongly connected state graph</i>	Diagrama de estados de conexión total
<i>Structural description of hardware</i>	Descripción estructural del sistema físico
<i>Structural modeling</i>	Descripción estructural (<i>VHDL</i>)
<i>stuck-at-0 (sa0)</i>	Fijo a cero
<i>stuck-at-1 (sa1)</i>	Fijo a uno
<i>Stuck at fault</i>	Error de nivel fijo
<i>Stuck at 0 fault</i>	Error de nivel fijo cero
<i>Stuck at 1 fault</i>	Error de nivel fijo uno
<i>Substitute</i>	Sustitución
<i>Substrate</i>	Sustrato
<i>Successive approximation ADC</i>	Convertidor analógico-digital de aproximaciones sucesivas
<i>Superscalar architecture</i>	Arquitectura superescalar
<i>Superscalar computer</i>	Computador superescalar
<i>Supply current</i>	Corriente de alimentación
<i>Supply voltage</i>	Tensión de alimentación
<i>Surface Mounting Device (SMD)</i>	Dispositivo de montaje superficial
<i>Surface Mounting Package (SMP)</i>	Encapsulado de montaje superficial
<i>Surface Mounting Technology (SMT)</i>	Tecnología de montaje superficial
<i>Switch</i>	Interruptor
<i>Switch bounce</i>	Rebote de un contacto
<i>Switch debouncing</i>	Eliminar rebotes
<i>Switch matrix</i>	Matriz de interconexión

<i>Switch Mode Power Supply (SMPS)</i>	Fuente de alimentación conmutada
<i>Switch tail counter</i>	Contador Johnson
<i>Switching</i>	Conmutación
<i>Switching algebra</i>	Álgebra lógica, de conmutación o de Boole
<i>Symmetric Multi-Processor (SMP)</i>	Multiprocesador simétrico
<i>Synchronous</i>	Síncrono
<i>Synchronous counter</i>	Contador síncrono
<i>Synchronous Data Link Controller (SDLC)</i>	Controlador síncrono de enlace de datos
<i>Synchronous data protocol</i>	Protocolo síncrono de comunicaciones
<i>Synchronous Dynamic RAM (SDRAM)</i>	Memoria activa dinámica síncrona
<i>Synchronous Finite State Machine (SFSM)</i>	Máquina de estados finita y síncrona
<i>Synchronous idle</i>	Carácter de sincronización
<i>Synchronous inputs</i>	Entradas síncronas
<i>Synchronous parallel data inputs</i>	Entradas de datos en paralelo síncronas
<i>Synchronous reset</i>	Puesta a cero síncrona
<i>Synchronous sequential system</i>	Sistema secuencial síncrono
<i>Synchronous serial communication</i>	Comunicación serie síncrona
<i>Synchronous serial Interface</i>	Interfaz serie síncrono
<i>Synchronous serial Peripheral Interface (SPI)</i>	Interfaz síncrono de periféricos serie
<i>Synchronous Static RAM (SSRAM)</i>	Memoria de acceso aleatorio activa estática síncrona (<i>SSRAM</i>)
<i>Synchronous system</i>	Sistema síncrono
<i>Synergistic processor element (SPE)</i>	Elemento procesador sinérgico
<i>Synthesis</i>	Síntesis
<i>Synthesis tool</i>	Herramienta de síntesis
<i>System-On- Chip (SOC)</i>	Sistema integrado o sistema monolítico
<i>System on Programmable Chip (SOPC)</i>	Sistema en un circuito integrado configurable

T

<i>T flip-flop</i>	Biestable síncrono tipo T
--------------------	---------------------------

<i>TAP Controller</i>	Controlador de la verificación
<i>Target Test Program Generation (TTPG)</i>	Generación de un programa con el test como objetivo
<i>Task level parallelism (TLP)</i>	Paralelismo a nivel de tarea
<i>Ternary semiconductor</i>	Semiconductor ternario
<i>Terraced architecture</i>	Arquitectura terraza
<i>Test</i>	Test o verificación
<i>Test Access Port (TAP)</i>	Puerto de de acceso del test o de la verificación
<i>Test bench (VHDL)</i>	Banco de test o de verificación
<i>Test Clock Input (TCK)</i>	Entrada de reloj de test o verificación
<i>Test Data Input (TDI)</i>	Entrada de datos de test o verificación
<i>Test Data Output (TDO)</i>	Salida de datos de test o verificación
<i>Test Enable (TE)</i>	Desinhibición del test o de la verificación
<i>Test Mode Select (TMS)</i>	Entrada de modo de test o verificación
<i>Test Pattern Generator (TPG)</i>	Generador de patrones de test o verificación
<i>Testing</i>	Verificar
<i>Testing vector</i>	Vector de test o verificación
<i>Thick film hybrid circuit</i>	Circuito híbrido de capa gruesa
<i>Thin film hybrid circuit</i>	Circuito híbrido de capa fina
<i>Thin Small-Outline Package(TSSOP)</i>	Encapsulado pequeño delgado de doble línea para montaje superficial o <i>TSSOP</i>
<i>Thin Very Small-Outline Package (TVSOP)</i>	Encapsulado muy pequeño delgado de doble línea para montaje superficial o <i>TVSOP</i>
<i>Thread Level Parallelism (TLP)</i>	Paralelismo a nivel de tarea
<i>Threading</i>	Dividir en tareas
<i>Three state output</i>	Salida triestado
<i>Threshold (TH)</i>	Umbral
<i>Threshold input</i>	Entrada de umbral
<i>Threshold voltage</i>	Tensión umbral
<i>Throughput</i>	Caudal (binario)
<i>Tick</i>	Flanco
<i>Tile</i>	Baldosa
<i>Tiled multicore architecture</i>	Arquitectura multinúcleo embaldosada
<i>Tiled multicore processor</i>	Procesador multinúcleo embaldosado

<i>Time response</i>	Respuesta temporal
<i>Time-To-Failure (TTF)</i>	Tiempo entre fallos
<i>Time to market</i>	Tiempo hasta la comercialización
<i>Timer</i>	Temporizador
<i>Timing</i>	Acepción 1: Temporal Acepción 2: Sincronizar
<i>Timing analysis</i>	Análisis temporal
<i>Timing circuit</i>	Acepción 1: Circuito de sincronismo Acepción 2: Temporizador Acepción 3: Circuito de memoria temporal
<i>Timing diagram</i>	Cronograma
<i>Timing waveform</i>	Cronograma
<i>Toggle (T)</i>	Cambiar de estado o conmutar
<i>Tool</i>	Herramienta
<i>Tools for Application-specific hardware/software CO-design (TACO)</i>	Herramienta para codiseño de un sistema físico/programa de aplicación específica
<i>Top-down</i>	Descendente
<i>Top-down design</i>	Diseño descendente
<i>Totem-pole output</i>	Salida con carga activa
<i>Track</i>	Pista
<i>Trade-off</i>	Alternativa o compromiso
<i>Trailing edge</i>	Flanco de bajada
<i>Transaction Level Modeling (TLM)</i>	Modelado a nivel de transacción
<i>Transactional Memory (TM)</i>	Memoria transaccional
<i>Transceiver</i>	Transmisor-receptor
<i>Transistor</i>	Transistor
<i>Transistor Transistor Logic (TTL)</i>	Tecnología TTL
<i>Transition table</i>	Tabla de transiciones
<i>Translation Lookaside Buffer (TLB)</i>	Registro de transacción lateral
<i>Transmission Control Protocol (TCP)</i>	Protocolo de control de la transmisión
<i>Transmission gate</i>	Interruptor electrónico
<i>Transmission line</i>	Línea de transmisión
<i>Transmitter</i>	Transmisor
<i>Transmitter buffer</i>	Memoria temporal del transmisor

<i>Transparent latch</i>	Biestable controlado por niveles
<i>Transparent output</i>	Salida transparente
<i>Transport Triggered Architecture (TTA)</i>	Arquitectura de transporte por disparo
<i>Tri-state BUffer (TBUF)</i>	Amplificador de tres estados
<i>Tri-state gate</i>	Puerta triestado
<i>Tri-state output</i>	Salida triestado
<i>Trigger (T)</i>	Disparo
<i>Trigger input</i>	Entrada de disparo
<i>Trigger Schmitt</i>	Disparador Schmitt
<i>Triple Modular Redundancy (TMR)</i>	Redundancia modular triple
<i>Truncate</i>	Truncar
<i>Truth table</i>	Tabla de verdad
<i>Two-dimensional Electron Gas Field Effect Transistor (TEGFET)</i>	Transistor de efecto de campo de gas de electrones bidimensional o transistor <i>TEGFET</i>
<i>Two-level combinational circuit</i>	Circuito combinacional de dos niveles
<i>Two-level logic</i>	Circuito combinacional de dos niveles
<i>Two's complement</i>	Complemento a dos

U

<i>Ultra Large Scale Integration (ULSI)</i>	Ultra gran escala de integración
<i>Ultra Violet EPROM (UVEPROM)</i>	Memoria <i>EPROM</i>
<i>Unclocked latch</i>	Biestable asíncrono
<i>Unclocked S-R flip-flop</i>	Biestable R-S asíncrono
<i>Unconditional branch</i>	Bifurcación incondicional
<i>Unconditional jump</i>	Salto incondicional
<i>Underflow</i>	Rebasamiento negativo
<i>Unipolar semiconductor</i>	Semiconductor unipolar
<i>Unit separator</i>	Separador de unidades
<i>Universal Asynchronous Receiver Transmitter (UART)</i>	Transmisor-receptor asíncrono universal
<i>Universal Serial Bus (USB)</i>	Bus serie universal o <i>USB</i>
<i>Universal Shift Register (USR)</i>	Registro de desplazamiento universal
<i>Universal Synchronous Asynchronous Receiver Transmitter</i>	Transmisor-receptor síncrono-asíncrono universal

(USART)

<i>Up Counter</i>	Contador ascendente
<i>Up-Down Synchronous Counter</i>	Contador síncrono reversible
<i>User Specific Integrated Circuit (USIC)</i>	Circuito integrado de aplicación específica
<i>Utility</i>	Programa de aplicación general

V

<i>Variable</i>	Variable ((VHDL)
<i>Vertical Redundancy Check (VRC)</i>	Comprobación mediante redundancia vertical
<i>Very Deep SubMicron (VDSM)</i>	Submicroelectrónica muy profunda
<i>Very High Speed Integrated Circuit(VHSIC)</i>	Circuito integrado de velocidad muy elevada
<i>Very Large Instruction Word (VLIW)</i>	Instrucción de gran tamaño
<i>Very Large Scale Integration (VLSI)</i>	Escala de integración muy grande
<i>Very Long Instruction Word (VLIW)</i>	Instrucción de gran tamaño
<i>VHSIC Hardware Description Language (VHDL)</i>	Lenguaje VHDL
<i>Video DRAM</i>	Memoria de acceso aleatorio dinámica de video
<i>Video RAM (VRAM)</i>	Memoria de acceso aleatorio de video
<i>Virtual memory (VM)</i>	Memoria virtual
<i>Virtual System Prototype (VSP)</i>	Prototipo de un sistema virtual
<i>Volatile</i>	Volátil
<i>Volatile memory</i>	Memoria volátil
<i>Voltage Controlled Oscillator (VCO)</i>	Oscilador controlado en tensión
<i>Voltage Transfer Characteristic (VTC)</i>	Característica de transferencia de la tensión
<i>Von Neumann architecture</i>	Arquitectura Von Neumann

W

<i>Wafer</i>	Oblea
<i>Wafer Scale Integration (WSI)</i>	Integración a nivel de oblea
<i>Wait statement</i>	Instrucción de espera
<i>Watch-dog</i>	Perro guardián o circuito de vigilancia

<i>Weighted BCD codes</i>	Códigos <i>BCD</i> ponderados
<i>Weighted Linear Feedback Shift Register(WLFSR)</i>	Registro de desplazamiento con realimentación lineal ponderada
<i>While loop</i>	Bucle de espera
<i>Wideband Code Division Multiple Access (WCDMA)</i>	Acceso múltiple por división de código en banda ancha
<i>Wire bond</i>	Hilo de conexión
<i>Wire Under Test (WUT)</i>	Cable bajo prueba
<i>Wire wrap</i>	Conexión enrollada
<i>Wired and</i>	Y cableada o Y por conexión
<i>Wired-or</i>	O por conexión
<i>Word</i>	Palabra (16 bits)
<i>Worst-Case Execution Time (WECT)</i>	Tiempo de ejecución en el caso más desfavorable
<i>Write cycle</i>	Ciclo de escritura

Y

<i>Yield</i>	Rendimiento
--------------	-------------

Z

<i>Zero hazard</i>	Fenómeno aleatorio de tipo 0
--------------------	------------------------------